

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月 6日
Date of Application:

出願番号 特願2003-377042
Application Number:

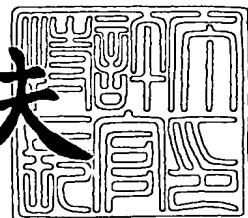
[ST. 10/C] : [JP2003-377042]

出願人 沖電気工業株式会社
Applicant(s):

2004年 1月 28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 KA003922
【提出日】 平成15年11月 6日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 G09G 3/36
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 佐瀬 一郎
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100086807
【弁理士】
【氏名又は名称】 柿本 恭成
【手数料の表示】
【予納台帳番号】 007412
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9001054

【書類名】特許請求の範囲

【請求項 1】

表示データを動作制御信号に従って記憶部に格納する制御部と、

前記記憶部に格納された表示データに従って液晶表示器を駆動する駆動部と、

外部の電源回路から電源が供給される電源電極と、

前記電源回路から供給される電源の経路とは別の経路で該電源回路の電源電位が与えられるモニタ電極と、

前記制御部の動作を許可する制御信号が与えられる制御電極と、

前記制御電極に与えられる制御信号の論理レベルを検出するCMOSインバータと、

前記モニタ電極に与えられる電源電位の論理レベルを検出するMOSトランジスタを有し、該MOSトランジスタで正しい論理レベルが検出されたときは、前記CMOSインバータの検出信号を前記動作制御信号として前記制御部に出力し、該MOSトランジスタで正しい論理レベルが検出されないときは、該動作制御信号の出力を停止するレベル監視部とを、

備えたことを特徴とする液晶駆動用半導体チップ。

【請求項 2】

前記モニタ電極に与えられる電源電位はプラス側の電位であり、前記MOSトランジスタはNチャネル型のトランジスタであることを特徴とする請求項1記載の液晶駆動用半導体チップ。

【請求項 3】

前記モニタ電極に与えられる電源電位はマイナス側の電位であり、前記MOSトランジスタはPチャネル型のトランジスタであることを特徴とする請求項1記載の液晶駆動用半導体チップ。

【請求項 4】

表示データを動作制御信号に従って記憶部に格納する制御部と、

前記記憶部に格納された表示データに従って液晶表示器を駆動する駆動部と、

前記制御部の動作を許可する第1の制御信号が与えられる第1の制御電極と、

前記第1の制御信号の論理レベルを反転した第2の制御信号が与えられる第2の制御電極と、

前記第1の制御電極に与えられる第1の制御信号の論理レベルを検出する第1のCMOSインバータと、

前記第2の制御電極に与えられる第2の制御信号の論理レベルを検出する第2のCMOSインバータを有し、前記第1のCMOSインバータの検出信号を反転した信号と該第2のCMOSインバータの検出信号の論理レベルが一致したときに、該第1のCMOSインバータの検出信号を前記動作制御信号として前記制御部に出力し、一致しないときには該動作制御信号の出力を停止するレベル監視部とを、

備えたことを特徴とする液晶駆動用半導体チップ。

【書類名】明細書

【発明の名称】液晶駆動用半導体チップ

【技術分野】

【0001】

本発明は、液晶表示パネル（Liquid Crystal Display、以下「LCD」という）のガラス板に実装する液晶駆動用半導体チップの静電サージによる誤動作防止技術に関するものである。

【背景技術】

【0002】

【特許文献1】特開平8-22267号公報

【特許文献2】特開平8-22268号公報

【0003】

LCDは、例えば縦方向に複数のセグメント電極が平行に形成されたセグメント側ガラス板と、横方向に複数のコモン電極が平行に形成されたコモン側ガラス板を対向して配置し、その間に液晶を充填したものである。LCDでは、セグメント電極とコモン電極の間に電界をかけることにより、その間にある液晶の方向が整列されて光の透過率が変化するという性質を利用し、表示を行うようになっている。セグメント電極やコモン電極は光を通す必要があるので、透光性と導電性を併せ持つ材料を用いてガラス板の表面に薄膜状に形成されている。COG (Chip on Glass)型LCDは、時計や電卓等に用いられる小型のLCDのガラス板上に、液晶駆動用のIC (Integrated Circuit) チップを搭載したものである。

【0004】

図2は、COG型LCDの概念図である。

このCOG型LCDは、液晶を挟んで対向配置されたセグメント側ガラス板とコモン側ガラス板からなる液晶表示部を有するLCDにおいて、セグメント側ガラス板を延長して、その上にICチップを搭載したものである。セグメント電極は、同じ薄膜材料でガラス板上に形成されたセグメント配線パターンによって、ICチップの電極まで延長されている。更に、セグメント側ガラス板の一辺には、外部のコンピュータ等にコネクタを介して接続するためのコネクタ電極が形成され、このコネクタ電極とICチップの電極を接続する配線も、セグメント電極と同じ薄膜材料によるリード配線パターンで、ガラス板上に形成されている。

【0005】

図3(1), (2)は、COG型LCDに用いられる従来の液晶駆動用ICチップの構成図である。

【0006】

この液晶駆動用ICチップ10は、例えばLCDのセグメント側ガラス板の上にCOG実装されるもので、図3(1)に全体構成を示すように、セグメント側ガラス板上に形成されたコネクタ電極11に接続するための電源電極11、複数のアドレス電極12、制御電極13、複数のデータ電極14、イネーブル電極15及び接地電極16を有している。

【0007】

電源電極11は、外部のコンピュータ等から電源電圧VDDの供給を受けるものである。アドレス電極12は、コンピュータ側から表示用のデータを一旦蓄積するためのアドレス信号ADRが与えられるものである。制御電極13は、コンピュータ側から読み書きの制御信号R/Wが与えられるものである。データ電極14は、コンピュータとの間で並列にデータ信号DTの入出力を行うものである。イネーブル電極15は、コンピュータ側から動作の許可を示すイネーブル信号ENが与えられるものある。接地電極16は、コンピュータ側の基準となる電位、即ち接地電位GNDに接続するものである。

【0008】

また、この液晶駆動用ICチップ10は、液晶表示部2の各セグメント電極に表示駆動電圧を出力するための複数の駆動電極17と、この液晶表示部2のコモン電極を順番に走

査する走査駆動電圧を出力するための複数の駆動電極18を有している。

【0009】

アドレス電極12、制御電極13、データ電極14及びイネーブル電極15は、それぞれバッファ21、バッファ用のインバータ22、双方向バッファ23及びバッファ用のインバータ24を介して、この液晶駆動用ICチップ全体の動作を制御する制御部30に接続されている。制御部30には、表示用のデータを記憶するRAM(Random Access Memory)40が接続され、このRAM40のデータ出力側に、液晶表示部2の各セグメント電極に対応する表示信号を生成する表示信号生成部50が接続されている。また、制御部30には、液晶表示部2のコモン電極を順番に走査するコモン信号を生成するためのコモン信号生成部60が接続されている。

【0010】

表示信号生成部50の出力側は、表示信号に基づいて各セグメント電極を交流駆動するための表示駆動電圧を生成する複数の駆動部70Sを介して、駆動電極17に接続されている。また、コモン信号生成部60の出力側は、コモン信号に基づいて各コモン電極を交流駆動するための走査駆動電圧を生成する複数の駆動部70Cを介して、駆動電極18に接続されている。

【0011】

更に、この液晶駆動用ICチップ10は、コネクタ電極1から供給されたこのチップの電源電圧VDD-Cから、液晶表示部2を交流駆動するための駆動電圧V1, V2を発生させる駆動電圧発生部80を有しており、この駆動電圧V1, V2は、各駆動部70S, 70Cに共通に与えられるようになっている。

【0012】

なお、液晶駆動用ICチップ10の各電極11～16とコネクタ電極1との間は、図2に示すように、セグメント側ガラス板上に形成されたリード配線パターンを介して接続されている。また、液晶駆動用ICチップ10の各電極17, 18と液晶表示部2との間も、図2に示すように、セグメント側ガラス板上に形成されたセグメント配線パターンとコモン配線パターンを介して接続されている。

【0013】

駆動部70Sは、例えば図3(2)にその一例を示すように、プリドライバ71と、4つのスイッチ72～75と、保護ダイオード76, 77とで構成されている。プリドライバ71は、表示信号生成部50から与えられる表示信号と交流駆動のためのフレーム信号に基づいて、4つの駆動用の電圧VDD-C, V1, V2, GND-Cの中から1つを選択するための選択信号SL1～SL4を出力するものである。スイッチ72～75は、選択信号SL1～SL4に従って、駆動電圧を出力するものであり、その出力側が対応する駆動用の電極17に接続されている。また、保護ダイオード76, 77は、液晶表示部2のセグメント電極やコモン電極を介して侵入する静電サージから、液晶駆動用ICチップ10の破壊を防止するためのもので、電極17と電源電圧VDD-C及び接地電位GND-Cとの間に、通常の動作電圧では逆方向となるように接続されている。なお、駆動部70Cの構成も、駆動部70Sと同様である。

【0014】

次に動作を説明する。

まず、コネクタ電極1を通して液晶駆動用ICチップ10の電源電極11と接地電極16に電源電圧が供給されることにより、この液晶駆動用ICチップ10の各部に、電源電圧VDD-Cと接地電位GND-Cが与えられる。そして、駆動電圧発生部80によって駆動電圧V1, V2が発生され、各駆動部70S, 70Cに供給される。

【0015】

液晶表示部2に表示するためのデータは、外部のコンピュータからコネクタ電極1を介して与えられる。即ち、制御電極13に与えられる読み書きの制御信号R/Wが、書き込みを指示するレベル“L”に設定される。そして、アドレス電極12に、RAM40の記憶位置を指定するアドレス信号ADRが与えられ、データ電極14には、その記憶位置に書

込むデータ信号D Tが与えられる。この状態で、イネーブル電極15に与えられるイネーブル信号E Nがレベル“H”にされると、RAM40の指定されたアドレスに表示用のデータが書き込まれる。なお、イネーブル信号E Nが“L”的ときは、RAM40に対する読み書きの動作が禁止される。

【0016】

RAM40に書き込まれた表示用のデータは、制御部30の制御に従って順番に周期的に読み出され、表示信号生成部50に与えられる。表示信号生成部50では、RAM40から読み出された表示用のデータに基づいて表示信号が生成され、駆動部70Sに与えられる。一方、RAM40のデータ読み出しに同期して、コモン信号生成部60ではコモン電極を順番に走査するためのコモン信号が生成され、駆動部70Cに与えられる。

【0017】

これにより、駆動部70Cによって液晶表示部2のコモン電極が順番に駆動され、駆動されたコモン電極に対応する表示情報が表示信号生成部50で生成され、駆動部70Sによって各セグメント電極が駆動される。これにより、液晶表示部2には、RAM40に記憶された表示用のデータに従ったマトリクス表示が行われる。

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかしながら、前記液晶駆動用ICチップ10は、次のような課題を有していた。

例えば、静電気を帯びた指先等が液晶表示部2のガラス板に触れるとき、このガラス板を介してセグメント電極等に静電サージが印加される。印加された静電サージは、セグメント側ガラス板表面のセグメント配線パターンを通して、液晶駆動用ICチップ10の電極17に伝えられ、駆動部70Sに侵入する。

【0019】

静電サージの極性がマイナスの場合、駆動部70S内の保護ダイオード77が順方向となるので、液晶駆動用ICチップ10の接地電位GND-Cがマイナス側に引かれる。接地電位GND-Cは、接地電極16からリード配線パターンを介してコネクタ電極1に接続され、更にコネクタを介して外部のコンピュータの接地電位GNDに接続されている。従って、ガラス板に印加されたマイナスの静電サージにより、外部のコンピュータの接地電位GNDから、コネクタ電極1、セグメント側ガラス板上のリード配線パターン、接地電極16、保護ダイオード77、及びセグメント配線パターンを通して指先等にサージ電流が流れることとなる。

【0020】

ここで、セグメント側ガラス板上のリード配線パターンは、液晶表示部2のセグメント電極と同様に、透光性と導電性を併せ持つ材料を用いて薄膜状に細く形成されているので、数100Ω程度の比較的大きな抵抗値を有している。このため、リード配線パターンに流れるサージ電流による電圧降下によって、液晶駆動用ICチップ10の接地電位GND-Cは、外部のコンピュータの接地電位GNDよりも低くなる。

【0021】

一方、イネーブル電極15とコネクタ1の間を接続するリード配線パターンにはサージ電流が流れないので、このイネーブル電極15のイネーブル信号E Nの信号レベルは、外部のコンピュータから出力されるイネーブル信号のレベルとほぼ同じである。これにより、液晶駆動用ICチップ10内では、イネーブル信号E Nのレベルが接地電位GND-Cに比べて相対的に高くなり、“L”であるにも拘らず、“H”と判定されることがある。このため、外部のコンピュータ側からは動作が禁止されているが、液晶駆動用ICチップ10が誤動作し、RAM40のデータが書き換えられて正常な画面表示ができなくなるという問題があった。

【0022】

本発明は、静電サージによる誤動作を防止することができる液晶駆動用ICチップを提供することを目的としている。

【課題を解決するための手段】

【0023】

本発明の内の請求項1の発明は、表示データを動作制御信号に従って記憶部に格納する制御部と、前記記憶部に格納された表示データに従って液晶表示器を駆動する駆動部と、外部の電源回路から電源が供給される電源電極と、前記電源回路から供給される電源の経路とは別の経路で該電源回路の電源電位が与えられるモニタ電極と、前記制御部の動作を許可する制御信号が与えられる制御電極と、前記制御電極に与えられる制御信号の論理レベルを検出するCMOSインバータと、前記モニタ電極に与えられる電源電位の論理レベルを検出するMOSトランジスタを有し、該MOSトランジスタで正しい論理レベルが検出されたときは、前記CMOSインバータの検出信号を前記動作制御信号として前記制御部に出力し、該MOSトランジスタで正しい論理レベルが検出されないときは、該動作制御信号の出力を停止するレベル監視部とを備えたことを特徴としている。

【0024】

請求項4の発明は、表示データを動作制御信号に従って記憶部に格納する制御部と、前記記憶部に格納された表示データに従って液晶表示器を駆動する駆動部と、前記制御部の動作を許可する第1の制御信号が与えられる第1の制御電極と、前記第1の制御信号の論理レベルを反転した第2の制御信号が与えられる第2の制御電極と、前記第1の制御電極に与えられる第1の制御信号の論理レベルを検出する第1のCMOSインバータと、前記第2の制御電極に与えられる第2の制御信号の論理レベルを検出する第2のCMOSインバータを有し、前記第1のCMOSインバータの検出信号を反転した信号と該第2のCMOSインバータの検出信号の論理レベルが一致したときに、該第1のCMOSインバータの検出信号を前記動作制御信号として前記制御部に出力し、一致しないときには該動作制御信号の出力を停止するレベル監視部とを備えたことを特徴としている。

【発明の効果】

【0025】

請求項1の発明では、レベル監視部のMOSトランジスタによって、モニタ電極に与えられる電源電位の論理レベルを検出して、正しい論理レベルが検出されたときに、CMOSインバータの検出信号を動作制御信号として制御部に出力し、正しい論理レベルが検出されないときは、この動作制御信号の出力を停止するようにしている。これにより、静電サージ等によって電源電位が変動したときに、モニタ電極の論理レベルが誤ることによって動作制御信号が停止されるので、制御部による誤動作を防止することができるという効果がある。

【0026】

請求項4の発明では、レベル監視部の第2のCMOSインバータによって第2の制御信号の論理レベルを検出し、第1のCMOSインバータの検出信号を反転した信号の論理レベルと一致したときに、この第1のCMOSインバータの検出信号を動作制御信号として制御部に出力し、一致しないときには、この動作制御信号の出力を停止するようにしている。これにより、静電サージ等によって電源電位が変動したときに、検出信号の不一致が生じて動作制御信号が停止されるので、制御部による誤動作を防止することができるという効果がある。

【発明を実施するための最良の形態】

【0027】

この発明の前記並びにその他の目的と新規な特徴は、次の、好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

【実施例1】

【0028】

図1は、本発明の実施例1を示す液晶駆動用ICチップの構成図であり、図3中の要素と共通の要素には共通の符号が付されている。

【0029】

この液晶駆動用ICチップ10Aは、図3の液晶駆動用ICチップ10と同様に、LCDのセグメント側ガラス板の上にCOG実装されるもので、セグメント側ガラス板上に形成されたコネクタ電極1に接続するための電源電極11、複数のアドレス電極12、制御電極13、複数のデータ電極14、イネーブル電極15、及び接地電極16に加えて、モニタ電極19を有している。

【0030】

電源電極11は、外部のコンピュータ等の電源回路から電源電圧VDDの供給を受けるものである。アドレス電極12は、コンピュータ側から表示用のデータを一旦蓄積するためのアドレス信号ADRが与えられるものである。制御電極13は、コンピュータ側から読み書きの制御信号R/Wが与えられるものである。データ電極14は、コンピュータとの間で並列にデータ信号DTの入出力を行うものである。イネーブル電極15は、コンピュータ側から動作の許可のときに“H”、動作禁止のときに“L”となるイネーブル信号ENが与えられるものある。接地電極16は、コンピュータ側の基準となる電位、即ち接地電位GNDに接続するものである。

【0031】

更に、モニタ電極19は、この液晶駆動用ICチップ10Aの接地電位GND-Cを監視するために、接地電極16とは別に電源電流が流れない経路でコンピュータ側の接地電位GNDを、モニタ信号MONとして入力するものである。

【0032】

また、この液晶駆動用ICチップ10Aは、液晶表示部2の各セグメント電極に表示駆動電圧を出力するための複数の駆動電極17と、この液晶表示部2のコモン電極を順番に走査する走査駆動電圧を出力するための複数の駆動電極18を有している。

【0033】

アドレス電極12、制御電極13及びデータ電極14は、それぞれバッファ21、バッファ用のインバータ22及び双方向バッファ23を介して、この液晶駆動用ICチップ全体の動作を制御する制御部30に接続されている。また、モニタ電極19はレベル監視部90に接続され、イネーブル電極15はCMOSインバータ24を介して、このレベル監視部90に接続されている。

【0034】

レベル監視部90は、保護ダイオード91、92、NチャネルMOSトランジスタ（以下、「NMOS」という）93、抵抗94、インバータ95及び否定的論理積ゲート（以下、「NAND」という）96で構成されている。モニタ電極19は、保護ダイオード91、92によって、それぞれ接地電位GND-Cと電源電圧VDD-Cに逆方向に接続されると共に、NMOS93のゲートに接続されている。

【0035】

NMOS93のソースは接地電位GND-Cに接続され、ドレインは抵抗94を介して電源電圧VDD-Cに接続されると共に、NAND96の第1の入力側に接続されている。NAND96の第2の入力側には、CMOSインバータ24の出力信号S24がインバータ95で反転されて与えられるようになっている。そして、NAND96の出力側から制御部30に、イネーブル信号/ENが出力されるようになっている。

【0036】

その他の構成は、図3と同様である。

即ち、制御部30には、表示用のデータを記憶するRAM40が接続され、このRAM40のデータ出力側に、液晶表示部2の各セグメント電極に対応する表示信号を生成する表示信号生成部50が接続されている。また、制御部30には、液晶表示部2のコモン電極を順番に走査するコモン信号を生成するためのコモン信号生成部60が接続されている。表示信号生成部50の出力側は、表示信号に基づいて各セグメント電極を交流駆動するための表示駆動電圧を生成する複数の駆動部70Sを介して、駆動電極17に接続されている。また、コモン信号生成部60の出力側は、コモン信号に基づいて各コモン電極を交流駆動するための走査駆動電圧を生成する複数の駆動部70Cを介して、駆動電極18に

接続されている。更に、この液晶駆動用ICチップ10Aは、電源電圧VDD-Cから、液晶表示部2を交流駆動するための駆動電圧V1, V2を発生させる駆動電圧発生部80を有しており、この駆動電圧V1, V2が、各駆動部70S, 70Cに共通に与えられるようになっている。

【0037】

液晶駆動用ICチップ10Aの各電極11～16, 19とコネクタ電極1との間は、図2に示すように、セグメント側ガラス板上に形成されたリード配線パターンを介して接続されている。また、液晶駆動用ICチップ10Aの各電極17, 18と液晶表示部2との間も、図2に示すように、セグメント側ガラス板上に形成されたセグメント配線パターンとコモン配線パターンを介して接続されている。

【0038】

次に、この液晶駆動用ICチップ10Aの動作を、静電サージのない正常状態での動作と、静電サージが印加されたときの動作に分けて説明する。

【0039】

(1) 正常状態での動作

まず、コネクタ電極1を通して液晶駆動用ICチップ10Aの電源電極11に電源電圧VDDが供給され、接地電極16が接地電位GNDに接続されることにより、この液晶駆動用ICチップ10Aの各部に、電源電圧VDD-Cと接地電位GND-Cが与えられる。そして、駆動電圧発生部80によって駆動電圧V1, V2が発生され、各駆動部70S, 70Cに供給される。

【0040】

このとき、電源電極11及び接地電極16とコネクタ電極1との間をそれぞれ接続するリード配線パターンに電源電流が流れ、これらのリード配線パターンによる電圧降下が発生するが、電源電流の値が小さいため、その電圧降下の値は僅かである。更に、この電圧降下によって、電源電圧VDD-Cは外部の電源回路の電源電圧VDDよりも低下するが、接地電位GND-Cは外部の接地電位GNDよりも上昇するので、CMOS等の閾値電圧はほとんど変化せず、動作上の問題は発生しない。

【0041】

モニタ電極19には、外部のコンピュータから接地電位GNDが与えられるので、レベル監視部90のNMOS93はオフ状態となり、このNMOS93のドレインの信号S93は、“H”となる。このため、CMOSインバータ24から出力される信号S24は、インバータ95とNAND96で2回反転され、このNAND96からイネーブル信号/ENとして制御部30に出力されることになる。従って、この後の正常状態での動作は、背景技術として説明した通りである。

【0042】

(2) 静電サージが印加されたときの動作

図4は、図1の静電サージ侵入時の動作を示す信号波形図である。

例えば、静電気を帯びた指先等が液晶表示部2のガラス板に触れるとき、このガラス板を介してセグメント電極等に静電サージSRGが印加される。印加された静電サージSRGは、セグメント側ガラス板表面のセグメント配線パターンを通して、液晶駆動用ICチップ10Aの電極17に伝えられ、駆動部70Sに侵入する。

【0043】

静電サージSRGの極性がマイナスの場合、外部のコンピュータの接地電位GNDから、コネクタ電極1、セグメント側ガラス板上のリード配線パターン、接地電極16、駆動部70S内の保護ダイオード77、及びセグメント配線パターンを通して指先等にサージ電流が流れる。

【0044】

このサージ電流により、リード配線パターンで電圧降下が生じ、液晶駆動用ICチップ10Aの接地電位GND-Cが、外部のコンピュータの接地電位GNDよりも低くなる。一方、イネーブル電極15及びモニタ電極19とコネクタ1との間を接続するリード配線

パターンには、どちらにもサージ電流が流れない。従って、イネーブル電極15の信号レベルは、外部のコンピュータから出力されるイネーブル信号ENのレベルとほぼ同じである。また、モニタ電極19の信号レベルは、外部のコンピュータの接地電位GNDと同じである。従って、内部の接地電位GND-Cを基準にしたイネーブル電極15の電圧V_{en}と、モニタ電極19の電圧V_{mon}は、サージ電流による接地電位GND-Cの低下に従って上昇する。但し、CMOSインバータ24とレベル監視部90の入力側には、保護ダイオードが設けられているので、内部の電源電圧VDD-Cに保護ダイオードの順方向電圧を加えた電圧以上の上昇は抑制される。

【0045】

マイナスの静電サージSRGにより、電圧V_{en}、V_{mon}は共に上昇するが、レベル監視部90におけるNMOS93の閾値電圧VT93の方が、CMOSインバータ24の閾値電圧VT24よりも低い。このため、NMOS93が先にオン状態となってその出力信号S93が“L”となり、その後、CMOS24の出力信号S24が“L”となる。

【0046】

その後、サージ電流が減少して電圧V_{en}、V_{mon}が徐々に低下すると、まず閾値電圧の高いCMOS24の出力信号S24が“H”に戻り、その後、閾値電圧の低いNMOS93がオフ状態となってその出力信号S93が“H”に戻る。このため、レベル監視部90から制御部30に出力されるイネーブル信号/ENは、マイナスの静電サージに影響されることはない。

【0047】

静電サージSRGの極性がプラスの場合は、指先等からセグメント配線パターン、駆動部70内の保護ダイオード76、電源電極11、セグメント側ガラス板上のリード配線パターン、及びコネクタ電極1を介して、外部のコンピュータの電源電圧VDDにサージ電流が流れる。これにより、内部の電源電圧VDD-Cが上昇し、これに伴って接地電位GND-Cも上昇する。一方、イネーブル電極15及びモニタ電極19とコネクタ1との間を接続するリード配線パターンには、どちらにもサージ電流が流れないので、内部の接地電位GND-Cを基準にしたイネーブル電極15の電圧V_{en}と、モニタ電極19の電圧V_{mon}は、サージ電流による接地電位GND-Cの上昇に従って低下する。但し、CMOSインバータ24とレベル監視部90の入力側には、保護ダイオードが設けられているので、この保護ダイオードの順方向電圧以下の低下は抑制される。従って、レベル監視部90から制御部30に出力されるイネーブル信号/ENは、プラスの静電サージに影響されることはない。

【0048】

以上のように、この実施例1の液晶駆動用ICチップ10Aは、イネーブル信号ENを検出するCMOSインバータ24よりも低い閾値電圧を有するNMOS93を設け、このNMOS93で外部の電源回路の接地電位GNDの変動を検出し、その検出信号でCMOSインバータ24の検出信号をマスクするようにしている。これにより、静電サージによって液晶駆動用ICチップ10Aの接地電位GND-Cが変動しても、誤ってイネーブル信号ENを検出することがなくなり、静電サージによる誤動作を防止することができるという利点がある。

【実施例2】

【0049】

図5は、本発明の実施例2を示すレベル監視部の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0050】

このレベル監視部90Aは、図1の液晶駆動用ICチップ10Aのイネーブル電極15に与えられる信号として、論理レベルが反転したイネーブル信号/EN（動作を指示するときに“L”となり、動作禁止のときに“H”となる信号）が使用されるときに、レベル監視部90に代えて設けられるものである。

【0051】

CMOSインバータ24には、イネーブル電極15からイネーブル信号／ENが与えられるようになっている。一方、モニタ電極19には、ICチップ内の電源電圧VDD-Cを監視するために、電源電流の流れない経路でコンピュータ等の電源回路の電源電圧VDが与えられるようになっている。

【0052】

レベル監視部90Aは、保護ダイオード91, 92、PチャネルMOSトランジスタ（以下、「PMOS」という）97、抵抗98、インバータ99及びNAND96で構成されている。モニタ電極19は、保護ダイオード91, 92によって、それぞれ接地電位GND-Cと電源電圧VDD-Cに逆方向に接続されると共に、PMOS97のゲートに接続されている。

【0053】

PMOS97のソースは電源電圧VDD-Cに接続され、ドレインは抵抗98を介して接地電位GND-Cに接続されると共に、インバータ99を介してNAND96の第1の入力側に接続されている。NAND96の第2の入力側には、CMOSインバータ24の出力信号S24が与えられるようになっている。そして、NAND96の出力側から制御部30に、イネーブル信号／ENが出力されるようになっている。

【0054】

このレベル監視部90Aでは、静電サージのない正常状態には、PMOS97はオフ状態となり、このPMOS97のドレインから出力される信号S97は“L”となる。信号S97はインバータ99で反転されて“H”となり、NAND96の第1の入力側に与えられる。従って、NAND96の出力側から、イネーブル電極15に与えられたものと同じ論理レベルのイネーブル信号／ENが出力される。

【0055】

一方、プラスの静電サージSRGが印加されたときには、ICチップ内の電源電圧VD-D-Cが上昇することにより、イネーブル電極15のイネーブル信号／ENとモニタ電極19のモニタ信号MONの信号レベルが、この電源電圧VDD-Cよりも低下する。この場合、閾値電圧の高いPMOS97が先にオン状態となって信号S97が“H”となるので、インバータ24の出力信号S24はNAND96でマスクされ、このNAND96から出力されるイネーブル信号／ENは“H”的まま保持される。

【0056】

なお、マイナスの静電サージSRGに対しては、誤ったイネーブル信号／ENが出力されることはなく、静電サージSRGによる誤動作の問題は発生しない。

【0057】

以上のように、この実施例2のレベル監視部90Aは、イネーブル信号／ENを検出するCMOSインバータ24よりも高い閾値電圧を有するPMOS97を設け、このPMOS97で外部の電源回路の電源電圧VDDの変動を検出し、その検出信号でCMOSインバータ24の検出信号をマスクするようにしている。これにより、静電サージによって液晶駆動用ICチップの電源電圧VDD-Cが変動しても、誤ってイネーブル信号／ENを検出することがなくなり、静電サージによる誤動作を防止することができるという利点がある。

【実施例3】

【0058】

図6は、本発明の実施例3を示すレベル監視部の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0059】

このレベル監視部90Bは、図1の液晶駆動用ICチップ10Aのモニタ電極19に代えて、外部のコンピュータ等から論理レベルが反転したイネーブル信号／ENが与えられるモニタ電極15Bを設けたもので、インバータ95、NAND96及びCMOSインバータ100で構成されている。モニタ電極15Bは、CMOSインバータ24と同様のCMOSインバータ100の入力側に接続され、このCMOSインバータ100の出力側が

、NAND96の第1の入力側に接続されている。また、NAND96の第2の入力側には、図1と同じように、CMOSインバータ24の出力信号S24が、インバータ95で反転されて与えられるようになっている。

【0060】

このレベル監視部90Bでは、静電サージのない正常状態には、イネーブル電極15, 15Bに、それぞれ相補的なイネーブル信号EN, /ENが与えられる。イネーブル信号/ENはインバータ100で反転されてNAND96の第1の入力側に与えられ、イネーブル信号ENはインバータ24, 95で2回反転されてNAND96の第2の入力側に与えられる。従って、NAND96からイネーブル信号/ENが出力される。

【0061】

また、プラスの静電サージSRGが印加されたときには、ICチップ内の電源電圧VDD-Cが上昇するため、イネーブル電極15Bのイネーブル信号/ENが“H”であっても、CMOSインバータ100から“H”的出力信号S100が出力されることがある。しかし、イネーブル電極15からCMOSインバータ24に与えられる“L”的イネーブル信号ENは、電源電圧VDD-Cの上昇による影響を受けないので、このCMOSインバータ24の出力信号S24は“H”である。従って、NAND96から出力されるイネーブル信号/ENは、“H”的まま保持される。

【0062】

これとは逆に、マイナスの静電サージSRGが印加されたときには、ICチップ内の接地電位GND-Cが低下するため、イネーブル電極15のイネーブル信号ENが“L”であっても、CMOSインバータ24から“L”的出力信号S24が出力されることがある。しかし、イネーブル電極15BからCMOSインバータ100に与えられる“H”的イネーブル信号/ENは、接地電位GND-Cの低下による影響を受けないので、このCMOSインバータ100の出力信号S100は“L”である。従って、NAND96から出力されるイネーブル信号/ENは、“H”的まま保持される。

【0063】

以上のように、この実施例3のレベル監視部90Bは、イネーブル信号ENを検出するCMOSインバータ24の他に、これに相補的なイネーブル信号/ENを検出するCMOSインバータ100を設け、これらのCMOSインバータ24, 100で検出されたイネーブル信号の論理積に従って、実際の制御に使用するイネーブル信号を生成している。これにより、プラス及びマイナスの静電サージで液晶駆動用ICチップの電源電圧VDD-C及び接地電位GND-Cが変動しても、誤ったイネーブル信号を出力することがなくなり、静電サージによる誤動作を防止することができるという利点がある。

【0064】

なお、以上説明した実施例は、あくまでも、この発明の技術内容を明らかにするためのものである。この発明は、上記実施例にのみ限定して狭義に解釈されるものではなく、この発明の特許請求の範囲に述べる範囲内で、種々変更して実施することができる。その変形例としては、例えば、次のようなものがある。

【0065】

(a) 図1に示した液晶駆動用ICチップ10Aの全体構成は一例であり、その他の構成のICチップ、例えばRAMのデータを読み出して外部に出力するための機能を持たないものにも同様に適用できる。

【0066】

(b) レベル監視部90, 90A, 90BのインバータやNANDによる論理ゲートの構成は一例であり、同様の機能を有する他の回路で構成することができる。

【産業上の利用可能性】

【0067】

本発明の活用例として、LCDを使用するすべてのエレクトロニクス産業に利用することができる。

【図面の簡単な説明】

【0068】

【図1】本発明の実施例1を示す液晶駆動用ICチップの構成図である。

【図2】COG型LCDの概念図である。

【図3】従来の液晶駆動用ICチップの構成図である。

【図4】図1の静電サージ侵入時の動作を示す信号波形図である。

【図5】本発明の実施例2を示すレベル監視部の構成図である。

【図6】本発明の実施例3を示すレベル監視部の構成図である。

【符号の説明】

【0069】

1 コネクタ電極

10A 液晶駆動用ICチップ

11 電源電極

15, 15B イネーブル電極

16 接地電極

19 モニタ電極

24, 100 CMOSインバータ

30 制御部

40 RAM

50 表示信号生成部

60 コモン信号生成部

70S, 70C 駆動部

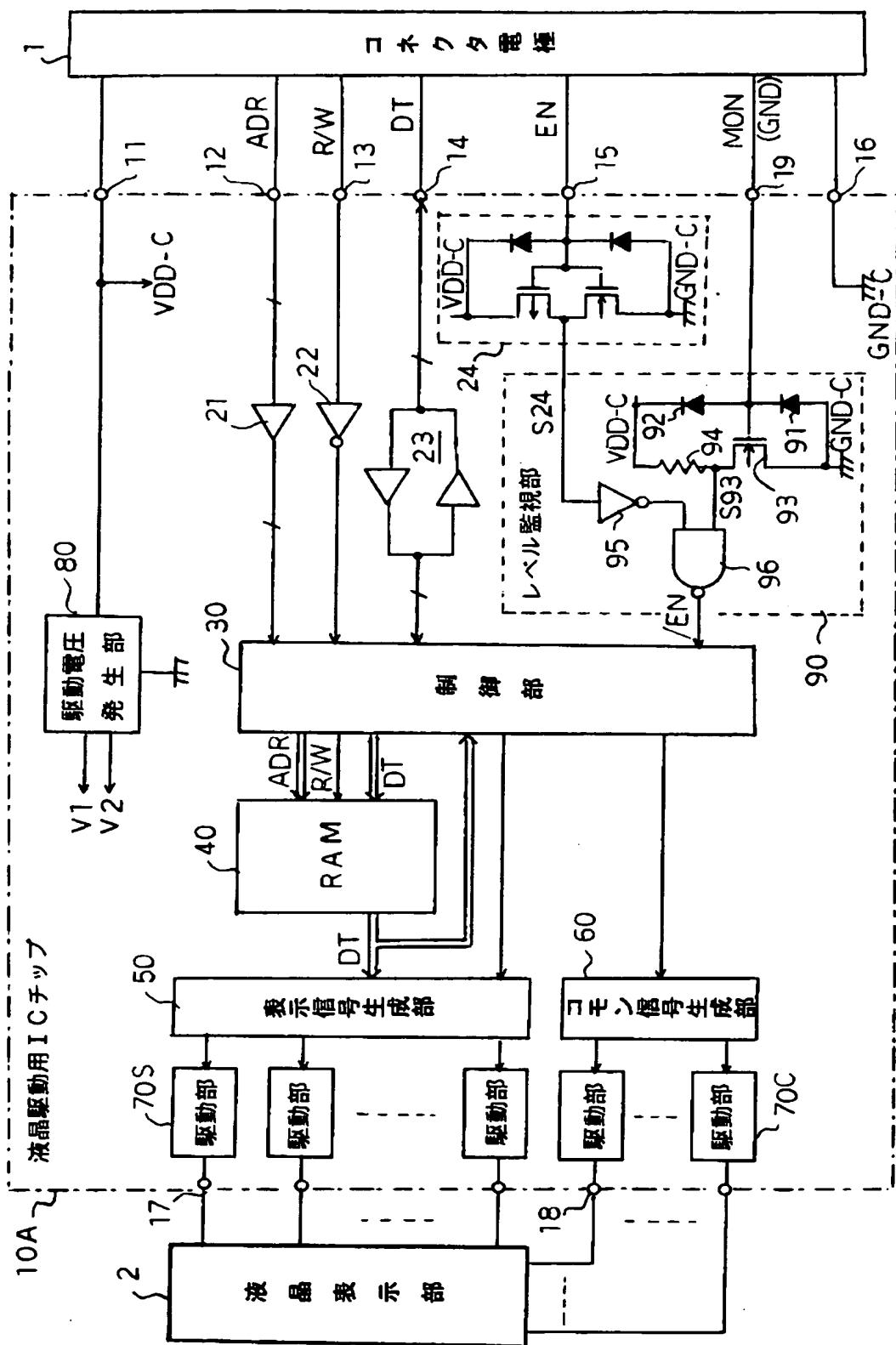
90, 90A, 90B レベル監視部

93 NMOS

96 NAND

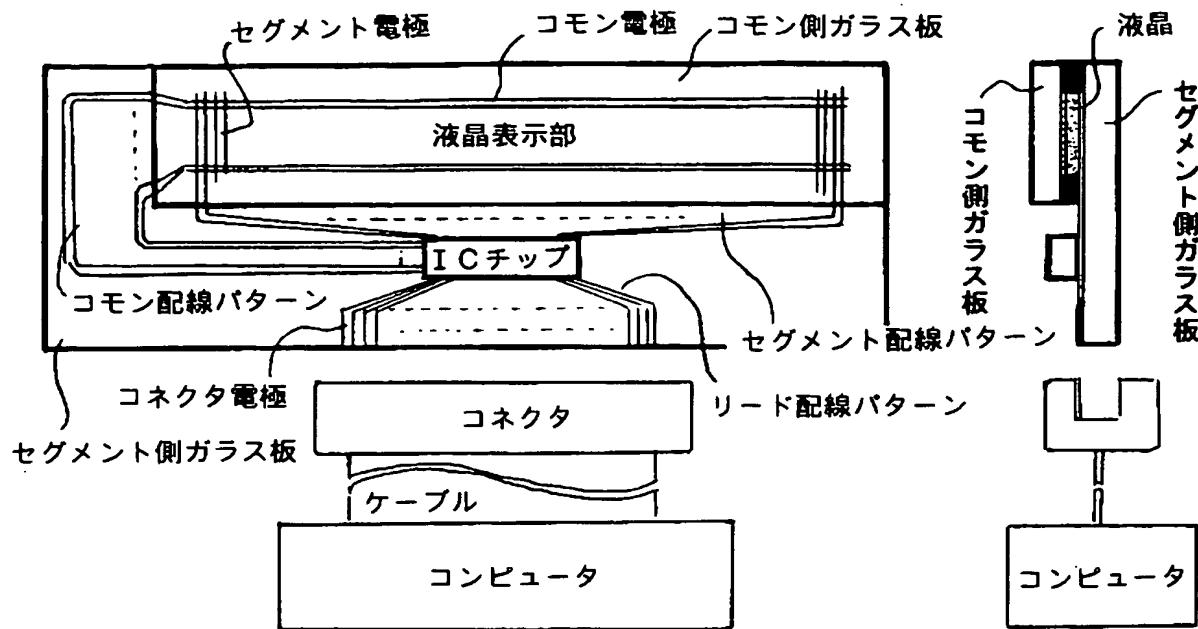
97 PMOS

【書類名】 図面
【図1】

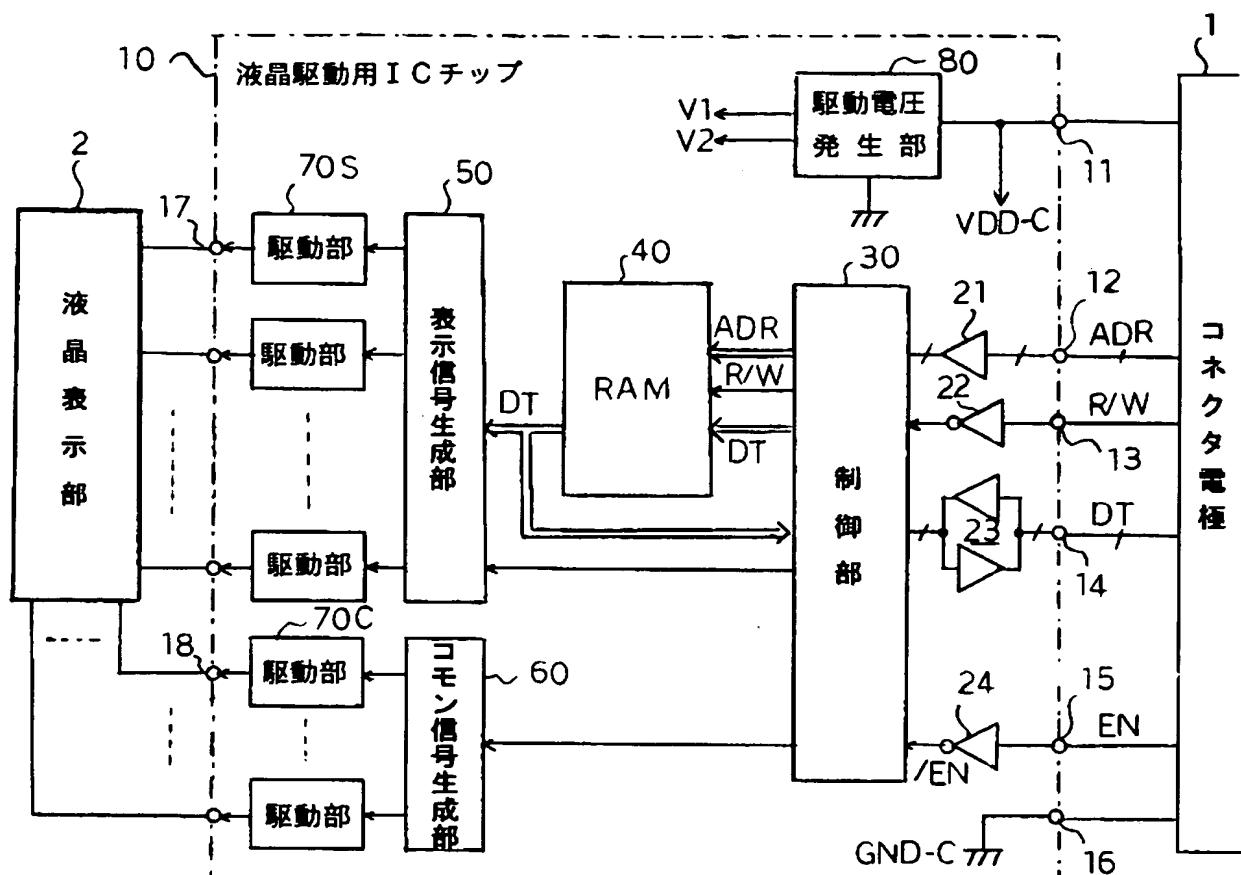


本発明の実施例1の液晶駆動用ICチップ

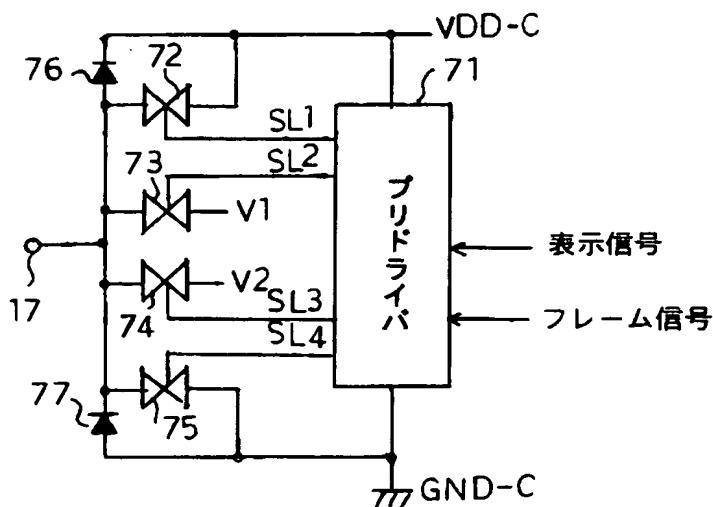
【図2】



【図3】



(1) 全体構成



(2) 駆動部

従来の液晶駆動用 I C チップ

【図4】

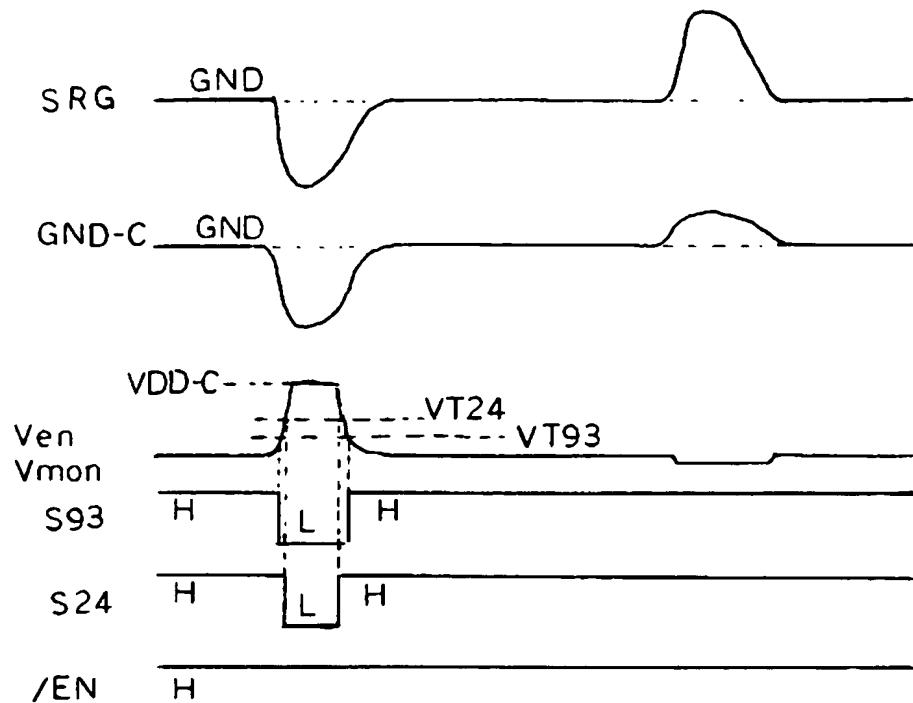
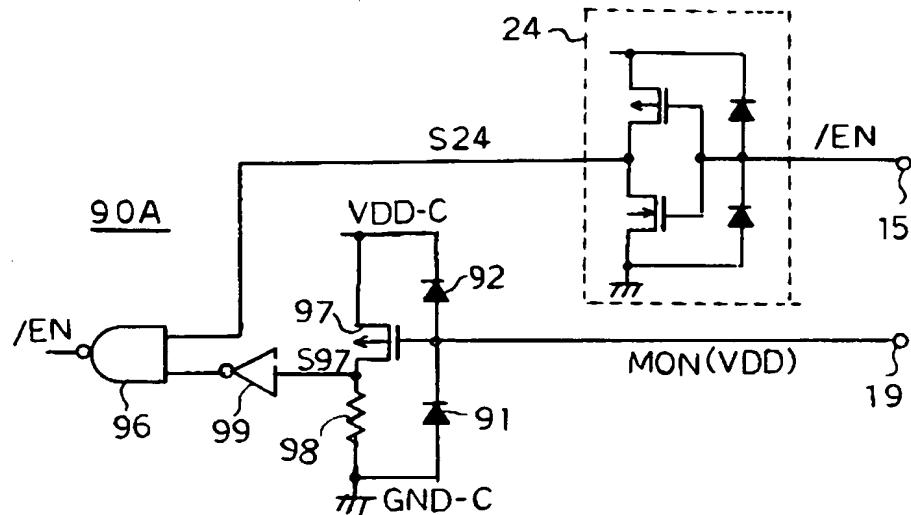


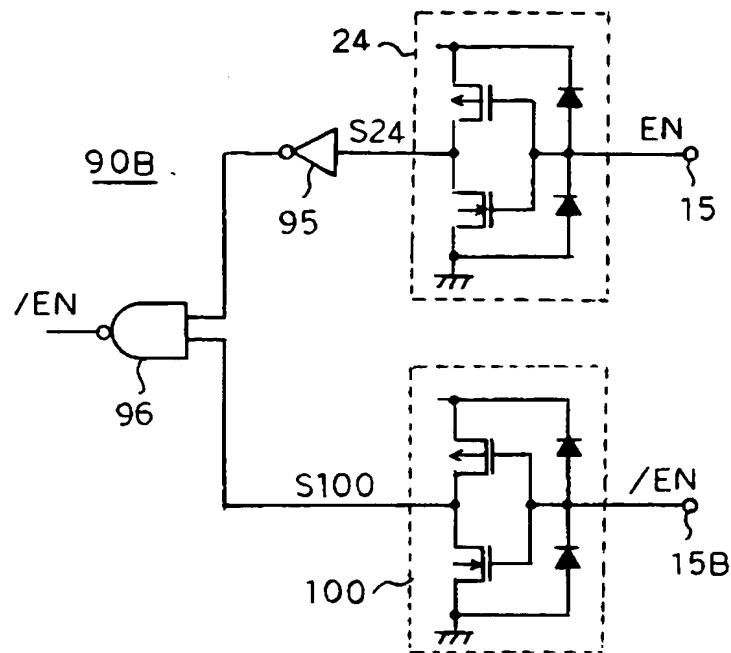
図1の静電サージ侵入時の信号波形

【図5】



本発明の実施例2のレベル監視部

【図 6】



本発明の実施例 3 のレベル監視部

【書類名】要約書

【要約】

【課題】 静電サージによる誤動作を防止することができる液晶駆動用半導体チップを提供する。

【解決手段】 電源用の接地電極16とは別に、外部の電源回路の接地電位GNDを監視するためのモニタ電極19を設け、このモニタ電極19の論理レベルをレベル監視部90内のNMOS93で検出し、検出した信号S93でNAND96を制御する。例えば負の静電サージでICチップ10A内の接地電位GND-Cが低下すると、モニタ電極19のレベルが相対的に上昇し、NMOS93がオンとなって信号S93が“L”となる。これにより、NAND96のゲートが閉じられ、制御電極15のイネーブル信号ENは、制御部30に出力されなくなり、誤ったイネーブル信号ENによる誤動作が防止される。

【選択図】 図1

特願 2003-377042

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住所 東京都港区虎ノ門1丁目7番12号
氏名 沖電気工業株式会社